

STRUCTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP2178963

Publication date: 1990-07-11

Inventor(s): ISHIHARA DAIZO; others: 01

Applicant(s): MURATA MFG CO LTD

Requested Patent: [JP2178963](#)

Application Number: JP19880335290 19881228

Priority Number(s):

IPC Classification: H01L27/04

EC Classification:

Equivalents:

Abstract

PURPOSE: To increase capacitance per a unit area, to reduce an occupying area and to improve the degree of integration by adding MIM type capacitance to Schottky diode type capacitance having comb-shaped structure.

CONSTITUTION: Schottky diode type capacitance having comb-shaped structure is formed of a Schottky electrode 4 shaped onto the surface of a carrier active layer 1 exposed among the fingers 6 of a comb-shaped ohmic electrode 2 and the ohmic electrode 2. Since MIM(metal-insulator-metal) type capacitance is shaped by the layer structure of the ohmic electrode 2, an insulating film 3 and the Schottky electrode 4, structure in which MIS type capacitance is added to Schottky diode type capacitance is formed. Accordingly, capacitance per a unit area is increased, an occupying area is reduced and the degree of integration can be improved.

Data supplied from the **esp@cenet** database - I2

⑯公開特許公報(A) 平2-178963

⑮Int.Cl.⁵
H 01 L 27/04識別記号 C
府内整理番号 7514-5F

⑯公開 平成2年(1990)7月11日

審査請求 未請求 請求項の数 1 (全4頁)

⑤発明の名称 半導体装置の構造

⑦特願 昭63-335290

⑦出願 昭63(1988)12月28日

⑧発明者 石原 大造 京都府長岡市天神2丁目26番10号 株式会社村田製作所
内⑧発明者 坂本 孝一 京都府長岡市天神2丁目26番10号 株式会社村田製作所
内

⑧出願人 株式会社村田製作所 京都府長岡市天神2丁目26番10号

⑧代理人 弁理士 中野 雅房

明 案田

1. 発明の名称

半導体装置の構造

2. 特許請求の範囲

(1) キャリア活性層の上面にくし形をしたオーミック電極を形成し、このオーミック電極の少なくともフィンガー部分を絶縁膜により被覆すると共にオーミック電極のフィンガー間の部分では前記絶縁膜を除去してキャリア活性層を露出させ、このフィンガー間で露出したキャリア活性層の上にショットキー電極を設けてショットキーダイオード型容量を形成し、絶縁膜を介してオーミック電極の上にショットキー電極を設けることによってMIM型容量を形成したことを特徴とする半導体装置の構造。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の構造に係り、具体的にはGaAsICにおいて容量を形成するための技術に関する。

(背景技術とその問題点)

GaAsICにおける容量の構造としては、ID型容量やMIM型容量、ショットキーダイオード型容量等があるが、このうちでもオーミック電極とショットキーダイオードの接合容量を利用して構成されるショットキーダイオード型容量がしばしば用いられる。

第3図及び第4図に示すものは、ショットキーダイオード型容量の構造であり、くし形をしたオーミック電極12とくし形をしたショットキーダイオード型容量の構造であり、くし形をしたオーミック電極14をキャリア活性層11の表面に形成し、オーミック電極12のフィンガー16とショットキーダイオード型容量の構造であり、くし形をしたオーミック電極14のフィンガー19を交互に配置してある。GaAsICでは、ショットキーダイオード型容量の構造であり、くし形をしたオーミック電極14の下面に形成される空乏層18の下のシリーズ抵抗を小さくするため、両電極を交互に配置するくし形構造が用いられるが、このようなくし形構造であるとショットキーダイオードの接合面積が小さくなるので、得られる全容量が結果的に小さくなるという問題があった。

〔発明が解決しようとする課題〕

しかして本発明は、くし形構造のショットキー・ダイオード型容量において、単位面積あたりの容量を増大させ、ICチップに対する容量の占有面積を小さくすることを目的としている。

〔課題を解決するための手段〕

このため本発明の半導体装置の構造は、キャリア活性層の上面にくし形をしたオーミック電極を形成し、このオーミック電極の少なくともフィンガー部分を絶縁膜により被覆すると共にオーミック電極のフィンガー間の部分では前記絶縁膜を除去してキャリア活性層を露出させ、このフィンガー間で露出したキャリア活性層の上にショットキー電極を設けてショットキーダイオード型容量を形成し、絶縁膜を介してオーミック電極の上にショットキー電極を設けることによってMIM型容量を形成したことを特徴としている。

〔作用〕

本発明にあっては、くし形をしたオーミック電極のフィンガー間で露出したキャリア活性層の表

-3-

のフィンガー6の部分及びその周囲を覆うようにして薄い絶縁膜3が成膜される。この後、絶縁膜3は、第1図に想像線で示すようにオーミック電極2のフィンガー6間に位置する部分のみをエッチングによって除去されて凹部7を形成され、凹部7においてキャリア活性層1を露出させる。もちろん、凹部7の部分を避けて初めからくし型に薄い絶縁膜3を形成してもよい。この後、第1図に示すように、凹部7側で絶縁膜3からはみ出すようにして絶縁膜3及びキャリア活性層1の上にショットキー電極4を形成する。

この結果、ショットキー電極4のキャリア活性層1の表面に直接接触した部分4aの形状はくし形となり、ショットキー電極4のこの部分4aは下方に空乏層8が形成されてショットキーダイオードとなる。しかして、ショットキー電極4のキャリア活性層1と接触した部分4aとオーミック電極2との間には、ショットキーダイオード型容量が構成される。しかも、くし形構造をしていてオーミック電極2のフィンガー6とショットキ

-5-

面に形成されたショットキー電極とオーミック電極とによりくし形構造のショットキーダイオード型容量が形成されている。さらに、オーミック電極と絶縁膜とショットキー電極との層構造によりMIM(metal-insulator-metal)型の容量構造が形成されているので、ショットキーダイオード型容量にMIM型容量が付加された構造となっており、単位面積あたりの容量を大幅に増加させることができ、同じ容量を得るための占有面積を小さくできてICの高集積化に寄与することができる。

〔実施例〕

以下、本発明の実施例を添付図に基づいて詳述する。

第2図に示すように、半絶縁性のGaAs基板5の上面にはn-GaAsのキャリア活性層1が形成されている。このキャリア活性層1の表面には、第1図に示すなくし形をしたオーミック電極2が形成される。ついで、オーミック電極2の上からキャリア活性層1の表面には、オーミック電極2

-4-

のフィンガー9とが交互に配置されているので、空乏層8の下のシリーズ抵抗を小さくすることができる。一方、ショットキー電極4の絶縁膜4bの上に積層された部分では、オーミック電極2と絶縁膜3とショットキー電極4bが層構造となっているので、MIM型容量が得られる。しかも、このショットキーダイオード型容量とMIM型容量とは並列に接続された構造となっているので、全体としては両容量を加えた大きさの容量が得られ、GaAs基板5上における占有面積を大きくすることなく、大きな容量を得ることができるものである。

一例として、電子密度N=2.0×10¹⁷cm⁻³のGaAs基板を用い、絶縁膜として膜厚500ÅのSi₃N₄膜(比誘電率ε=7)をオーミック電極とショットキー電極との間に形成した場合、6.7pFの容量が得られた。これに対し、同じGaAs基板の上に同じ大きさのオーミック電極と、上記ショットキー電極のうちキャリア活性層と接触している部分と同じ寸法のくし形ショットキー電極とを形成した

-6-

場合には、容量は 3.0 pF であった。したがって、本発明に係る実施例では、2 倍以上の容量が得られた。

〔発明の効果〕

本発明によれば、くし形構造のショットキーダイオード型容量に MIM 型容量を付加することができ、IC チップ表面における単位面積あたりの容量を大幅に増加させることができ、同じ容量を得るために占有面積を半分に減らすことができ、IC チップの高集積化に寄与することができ

る。

4. 図面の簡単な説明

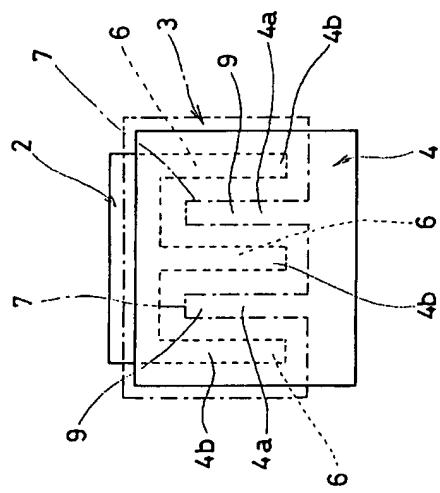
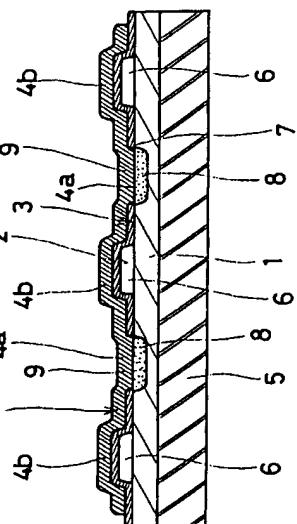
第 1 図は本発明の一実施例におけるオーミック電極と絶縁膜とショットキー電極の配置を示す平面図、第 2 図は同上の半導体装置の断面図、第 3 図は従来例におけるオーミック電極とショットキー電極との配置を示す平面図、第 4 図は同上の GaAs IC の断面図である。

1 … キャリア活性層 2 … オーミック電極
3 … 絶縁膜 4 … ショットキー電極

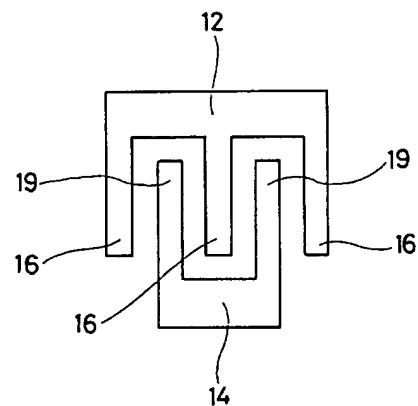
- 7 -

- 8 -

第 1 図

第 2 図
1 … キャリア活性層
2 … オーミック電極
3 … 絶縁膜
4 … ショットキーデバイス
6 … オーミック電極のフィンガー

第 3 図



第 4 図

